

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:
Keisuke GOTO and Sachiko EDO

Application No.: To be assigned

Filed: April 4, 2001

For: **DLL CIRCUIT AND METHOD OF
GENERATING TIMING SIGNALS**

Art Unit: To be assigned

Examiner: To be assigned

Docket No.: FPM-01501

1c821 U.S. PRO
09/826179



Certificate of Express Mailing

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as Express Mail, in an envelope addressed to the Commissioner for Patents, Washington, D.C. 20231 on this date April 4, 2001.

Tracey A. Newell

Name: Tracey A. Newell

Express Mail Label: EL506928154US

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, DC 20231

Sir:

Attached hereto is Japanese Application No. 2000-103241, filed April 5, 2000, a priority document for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-951-6676.

Respectfully submitted,
HUTCHINS, WHEELER & DITTMAR

Donald W. Muirhead

Reg. No. 33,978

Patent Group

Hutchins, Wheeler & Dittmar

101 Federal Street, Boston, MA 02110-1804

April 4, 2001
Date

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 4月 5日

出 願 番 号
Application Number:

特願2000-103241

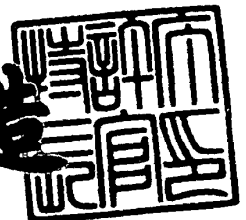
出 願 人
Applicant(s):

日本電気株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3014588

【書類名】 特許願

【整理番号】 74410380

【提出日】 平成12年 4月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/00

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 五藤 敬介

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 江戸 幸子

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100102864

 【弁理士】

 【氏名又は名称】 工藤 実

【選任した代理人】

 【識別番号】 100099553

 【弁理士】

 【氏名又は名称】 大村 雅生

【手数料の表示】

 【予納台帳番号】 053213

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9715177

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 D L L 回路、それを使用する半導体装置及びタイミング生成方法

【特許請求の範囲】

【請求項 1】

第 1 と第 2 のノード間に設けられ、遅延制御信号に基づいて前記第 1 のノードに供給される基準クロック信号を遅延させて第 1 から第 n (n は 2 以上の整数) の内部クロック信号を生成する遅延回路と、前記第 1 の内部クロック信号は前記第 2 のノードから出力され、前記第 1 の内部クロック信号以外の前記内部クロック信号は前記第 2 のノードを介することなく前記遅延回路から出力され、第 $(m + 1)$ (m は 1 以上の整数で $m \leq (n - 1)$) の内部クロック信号は第 m の内部クロック信号より予め決められた位相差だけ進んでおり、

前記第 1 のノードから前記基準クロック信号を入力し、前記第 2 のノードから前記第 1 の内部クロック信号を入力し、前記入力される基準クロック信号と前記入力される第 1 の内部クロック信号との位相差を出力する位相比較回路と、

前記位相比較回路からの前記位相差に基づいて前記遅延制御信号を前記遅延回路に出力するための遅延制御回路とを具備する D L L 回路。

【請求項 2】

請求項 1 に記載の D L L 回路において、

前記遅延回路は、

前記遅延制御信号に基づいて前記基準クロック信号を遅延させて第 1 遅延信号を生成するための第 1 の遅延部と、

前記第 1 の遅延部と前記第 2 のノードの間に設けられ、前記第 1 遅延信号に予め決められた遅延を施して前記第 1 から第 n の内部クロック信号を生成し、前記第 1 の内部クロック信号を前記第 2 のノードから出力する第 2 の遅延部とを具備する D L L 回路。

【請求項 3】

請求項 2 に記載の D L L 回路において、

前記第 2 の遅延回路は、直列接続された複数の遅延素子からなり、
前記第 1 から第 n の内部クロック信号は、前記最後の遅延素子から順番に互いに異なるものから出力される D L L 回路。

【請求項 4】

請求項 3 に記載の D L L 回路において、
前記複数の遅延素子は実質的に同一の遅延量を持つ D L L 回路。

【請求項 5】

請求項 3 に記載の D L L 回路において、
前記複数の遅延素子は互いに異なる遅延量を持つ D L L 回路。

【請求項 6】

請求項 3 に記載の D L L 回路において、
前記複数の遅延素子の各々の遅延量は予め決められている D L L 回路。

【請求項 7】

請求項 3 乃至 6 のいずれかに記載の D L L 回路において、
前記複数の遅延素子の各々の遅延量は前記基準クロック信号の周波数から独立している D L L 回路。

【請求項 8】

請求項 3 乃至 7 のいずれかに記載の D L L 回路において、
前記複数の遅延素子の各々はインバータまたはバッファである D L L 回路。

【請求項 9】

請求項 3 乃至 8 のいずれかに記載の D L L 回路において、
前記複数の遅延素子の素子数は n である D L L 回路。

【請求項 1 0】

請求項 1 乃至 9 のいずれかに記載の D L L 回路を具備する半導体装置。

【請求項 1 1】

請求項 1 乃至 9 のいずれかに記載の D L L 回路と、前記 D L L 回路は前記第 1 の内部クロック信号と前記第 2 の内部クロック信号とを出力し、

前記第 1 の内部クロック信号に応答してラッチ信号を生成する第 1 のフリップフロップと、



前記第 2 の内部クロック信号に応答してリードイネーブル信号を生成する第 2 のフリップフロップと、

メモリセルアレイを含み、前記ラッチ信号に応答して前記メモリセルアレイからのデータあるいは外部からのデータをラッチし、前記ラッチ動作に先だって前記リードイネーブル信号に応答してリード動作あるいはライト動作を準備するメモリ部と

を具備する同期式 D R A M。

【請求項 1 2】

遅延制御信号に基づいて決定される遅延量だけ第 1 のノードに供給される基準クロック信号を遅延させながら第 1 から第 n (n は 2 以上の整数) の内部クロック信号を生成するステップ (a) と、前記第 1 の内部クロック信号は第 2 のノードから出力され、前記第 1 の内部クロック信号以外の前記内部クロック信号は前記第 2 のノードを介することなく出力され、第 $(m+1)$ (m は 1 以上の整数で $m \leq (n-1)$) の内部クロック信号は第 m の内部クロック信号より予め決められた位相差だけ進んでおり、

前記第 1 のノードからの前記基準クロック信号と前記第 2 のノードからの前記第 1 の内部クロック信号との位相差を検出するステップ (b) と、

前記位相差に基づいて前記遅延制御信号を出力するステップ (c) とを具備するタイミング信号生成方法。

【請求項 1 3】

請求項 1 2 に記載のタイミング信号生成方法において、

前記ステップ (a) は、

前記遅延制御信号に基づいて前記基準クロック信号を遅延させて第 1 遅延信号を生成するステップ (d) と、

前記第 1 遅延信号を遅延させて前記第 1 から第 n の内部クロック信号を生成するステップ (e) とからなり、前記第 1 の内部クロック信号は前記第 2 のノードから出力されるタイミング信号生成方法。

【請求項 1 4】

請求項 1 3 に記載のタイミング信号生成方法において、

前記ステップ（e）は、

前記第 1 遅延信号を直列接続された複数の遅延素子により遅延させるステップ（f）からなり、前記第 1 から第 n の内部クロック信号は、前記最後の遅延素子から順番に互いに異なるものから出力されるタイミング信号生成方法。

【請求項 1 5】

請求項 1 4 に記載のタイミング信号生成方法において、

前記複数の遅延素子は実質的に同一の遅延量を持つタイミング信号生成方法。

【請求項 1 6】

請求項 1 4 に記載のタイミング信号生成方法において、

前記複数の遅延素子は互いに異なる遅延量を持つタイミング信号生成方法。

【請求項 1 7】

請求項 1 4 に記載のタイミング信号生成方法において、

前記複数の遅延素子の各々の遅延量は予め決められているタイミング信号生成方法。

【請求項 1 8】

請求項 1 4 乃至 1 7 のいずれかに記載のタイミング信号生成方法において、

前記複数の遅延素子の各々の遅延量は前記基準クロック信号の周波数から独立しているタイミング信号生成方法。

【請求項 1 9】

請求項 1 4 乃至 1 8 のいずれかに記載のタイミング信号生成方法において、

前記複数の遅延素子の素子数は n であるタイミング信号生成方法。

【請求項 2 0】

請求項 1 2 乃至 1 9 のいずれかに記載のタイミング信号生成方法であって、

前記第 1 の内部クロック信号に応答してラッチ信号を生成するステップと、

前記第 2 の内部クロック信号に応答してリードイネーブル信号を生成するステップと、

前記ラッチ信号に応答して前記メモリセルアレイからのデータあるいは外部からのデータをラッチし、前記ラッチ動作に先だって前記リードイネーブル信号に応答してリード動作あるいはライト動作を準備するステップと

を更に具備するタイミング信号生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に、DLL (delay locked loop) 回路を内蔵する半導体装置と、タイミング生成方法に関する。

【0002】

【従来の技術】

メモリ回路、インターフェイス回路、CPUなどの半導体装置の動作は、装置の外部から供給される基準クロック信号に基づいて制御される。近年、半導体装置の高速化に伴いメモリ回路も400MHzに近い高速で正確に動作することが要求される。例えば、基準クロック信号に同期してデータ出力を行うシンクロナスDRAMは、周期2.5ns程度のクロック信号の立ち上がりエッジと立ち下がりエッジに同期して、正確に動作しなければならない。これは言い換えると、半周期(1.25ns)のタイミングで動作する必要があるということである。

【0003】

シンクロナスDRAMは、基準クロック信号に基づいて生成される内部クロック信号によって動作が制御されているが、正確な高速動作を保証するためには、基準クロック信号である外部クロック信号の位相と内部クロック信号の位相とが一致していること、あるいは外部クロック信号と内部クロック信号との位相差が厳密に規定されていることが求められる。その位相の一致のために、DLL回路が用いられている。

【0004】

即ち、外部クロック信号は、可変遅延回路によって遅延させられて、DLL回路から内部クロック信号として出力される。このようにして生成される内部クロック信号の位相と外部クロック信号の位相とが位相比較回路により比較され、位相のずれ量に基づいてフィードバック位相制御が行われ、可変遅延回路の遅延量が調整される。こうして、内部クロック信号の位相が外部クロック信号の位相に一致する。

【 0 0 0 5 】

次に、図 4 を参照して、従来の同期式 D R A M の構成を説明する。従来の同期式 D R A M は、D L L 回路 2 0 1、論理回路 2 0 3、メモリ部 2 0 2 からなる。論理回路 2 0 3 は、論理回路 2 0 3 - 1 とフリップフロップ 2 0 3 - 2 と 2 0 3 - 3 からなる。メモリ部 2 0 2 は、カラム制御回路 2 0 2 - 5、メモリアレイ 2 0 2 - 1、Y デコーダ 2 0 2 - 2、I / O 回路 2 0 2 - 3、ラッチ回路 2 0 2 - 4、ロー制御回路 2 0 2 - 7、X デコーダ 2 0 2 - 6 からなる。メモリ部 2 0 2 の接続構成及び動作は従来知られているので、詳細な説明は省略する。

【 0 0 0 6 】

D L L 回路 2 0 1 からは内部クロック S 1 信号が出力される。内部クロック S 1 信号はフリップフロップ 2 0 3 - 2 の反転クロック端子とフリップフロップ 2 0 3 - 3 のクロック端子に供給される。論理回路 2 0 3 - 1 は、入力される制御信号に応答して制御信号 C 1 と制御信号 C 2 を生成する。制御信号 C 1 は、フリップフロップ 2 0 3 - 2 に供給される。制御信号 C 2 は、フリップフロップ 2 0 3 - 3 に供給されている。フリップフロップ 2 0 3 - 3 は、リードイネーブル信号 R E ' をメモリ部 2 0 2 のカラム制御回路 2 0 2 - 5 に出力する。また、フリップフロップ 2 0 3 - 2 は、ラッチ信号をメモリ部 2 0 2 のラッチ回路 2 0 2 - 4 に出力する。

【 0 0 0 7 】

次に図 5 を参照して、図 4 に示される同期式 D R A M の動作を説明する。図 5 (b) の制御信号としてリードコマンドが論理回路 2 0 3 - 1 に供給されたとき、フリップフロップ 2 0 3 - 3 は、内部クロック S 1 信号に同期して、図 5 (c) に示される制御信号 2 に基づいて図 5 (d) のリードイネーブル信号を生成する。こうしてメモリ部 2 0 2 から図 5 (e) に示されるようにデータが読み出される。フリップフロップ 2 0 3 - 2 は、図 5 (a) の内部クロック S 1 信号の立ち下がりエッジに同期して、図 5 (f) の制御信号 C 1 に基づいて図 5 (g) のラッチ信号を生成する。データ A は、ラッチ信号の立ち下がりのタイミングでラッチ回路 2 0 2 - 4 にラッチされ、出力される。

【 0 0 0 8 】

シンクロナス（同期式）D R A Mは、I / O回路 2 0 2 - 3 やラッチ回路 2 0 2 - 4 の制御動作のように外部クロック信号に同期して処理する部分と、メモリアレイ 2 0 2 - 1 からデータを読み出す動作のように非同期で動作する部分との両方を備える。これは、同期式D R A Mの動作制御上の制約となる。

【 0 0 0 9 】

即ち、同期動作のタイミングは製品の規格などで指定される。また、非同期動作のタイミングは、メモリ部を構成するトランジスタの特性や内部配線による遅延等から決まる。このため、例えば、ラッチ回路 2 0 2 - 4 がデータを出力するタイミングをデータ読み出しの動作速度に合わせて変えることはできない。逆に、データ読み出しのタイミングを装置の外部から制御することもできない。

【 0 0 1 0 】

従って、図 4 及び図 5 に示されるリードイネーブル信号 R E ' の立ち上がりタイミングを最適に調整し、メモリアレイ 2 0 2 - 1 からデータが読み出されたとき、ラッチ信号が生成される必要がある。つまり、リードイネーブル信号 R E ' の立ち上がりからラッチ信号の立ち下がりまでの時間が正確なデータ読み出しに必要な最小限の時間となるように調整する必要がある。

【 0 0 1 1 】

また、同期式D R A Mにおいては、例えば、読み出し動作の直前に読み出し線のプリチャージ動作を行う必要がある。このため、外部クロック信号に位相同期する内部クロック信号よりも僅かな時間、例えば、0. 5 n s 程度速いタイミング（早出しタイミング）で動作する第 2 の内部クロック信号を生成することが必要である。

【 0 0 1 2 】

しかしながら、図 4 の構成では、内部クロック S 1 信号に同期するリードイネーブル信号 R E ' をデータ読み出しに用いるため、外部クロックの 1 周期あるいは半周期の単位でのタイミング調整しかできず、上記のように、半周期より小さい時間幅のタイミングのような厳密なタイミング調整ができないという問題がある。

【 0 0 1 3 】

また、図 6 は、固定遅延回路を使用する第 2 従来例を示している。図 6 を参照して、第 2 従来例は、DLL 回路 1 0 1，ラッチ回路 1 0 2，固定遅延回路 1 0 5 からなる。DLL 回路 1 0 1 は、外部クロック信号 R c l k に遅延制御を行い、信号 1 0 1 1 を生成する。信号 1 0 1 1 は、ラッチ回路 1 0 2 に入力される。ラッチ回路 1 0 2 には、アクティブ信号 1 0 3 が供給されている。ラッチ回路 1 0 2 は、アクティブ信号 1 0 3 に基づいて信号 1 0 4 を出力する。固定遅延回路 1 0 5 は、信号 1 0 4 を遅延させてリードイネーブル信号 R E' 1 0 6 を出力する。固定遅延回路 1 0 5 は、多段の遅延素子から形成されていて、各遅延素子は、その遅延量が一定である。このように遅延された信号 R E' 1 0 6 が、同期式 D R A M の動作部分、例えば、メモリ部で使用されている。

【 0 0 1 4 】

図 7 は、図 6 に示される第 2 従来例における回路の信号波形を示す。図 7 (a) に示されるように、内部クロック S 1 信号 1 0 1 1 が DLL 回路 1 0 1 から出力される。この例では外部クロック信号 R c l k の周波数が高く、従って内部クロック S 1 信号が高い周波数を有する。信号 1 0 4 は、内部クロック S 1 信号 1 0 1 1 の立ち下がり部分 3 6 に同期して、立ち上がり 1 0 7 をもつ信号としてラッチ回路 1 0 2 から出力される。図 7 (e) の点線は、信号 1 0 4 の立ち上がり波形を示す。信号 1 0 4 は、遅延回路 1 0 5 により遅延させられて、立ち上がり 1 0 8 を持つ信号 1 0 6 として出力される。信号 1 0 6 は、図 7 (e) で実線で示される。その遅延量は、 t_2 で示されている。図 7 (e) において、所望の早出しタイミングは立ち上がり 1 0 8 であり、第 2 従来例は正常に動作していることになる。

【 0 0 1 5 】

図 8 は、外部クロック信号 R c l k の周波数が図 7 の場合の外部クロック信号よりも低くなった場合を示している。この場合のラッチ回路 1 0 2 の出力信号が信号 1 0 4' として図 8 (e) に点線で示されている。信号 1 0 4' は、遅延回路 1 0 5 により遅延させられて、立ち上がり 1 0 8' を持つ信号 1 0 6' として出力される。信号 1 0 6' は、図 8 (e) に実線により示されている。ここで、時間 t_1 は、内部クロック 1 信号と内部クロック 2 信号（本発明で生成される信

号)の位相差である。また、 t_2 は、固定遅延回路105による遅延時間を示す。時間 t_3 は、遅延後の信号と所望のタイミングとの時間差を示す。遅延回路105の遅延量 t_2 は、内部クロック信号の周波数に依存せず一定であるので、信号104'の立ち上がりから信号106'の立ち上がり間での遅延量は、図8に示される遅延量 t_2 に等しい。このときの、立ち上がり108'の位相は、所望の早出しタイミング1081よりも t_3 だけ早い。

【0016】

即ち、ある周波数を持つ信号104を遅延させて、所望のタイミングの信号を生成しようとする場合、遅延回路で遅延させればよい。しかしながら、信号104の周波数が低くなったとき、周期が長くなる。このため、固定の遅延量をもつ遅延回路で信号104を遅延させたのでは、所望のタイミングを持つ信号を生成することはできない。このように、第2従来例では、低い周波数での動作を保証することができないという問題がある。

【0017】

図9は、外部クロックの周波数が低い場合における、同期式DRAMのデータ読み出し動作を説明するタイミングチャートである。図9(b)、(c)、(d)は、期待される正常動作を示し、図9(e)、(f)、(g)は、誤動作を示す。ここで、データのラッチのタイミングは、外部クロック信号Rc1kのパルス数で外部から設定されている。

【0018】

正常動作においては、図9(a)に示される外部クロックRc1kに対して所定の時間だけ速く立ち上がる図9(b)のリードイネーブル信号RE109が生成される。この早出しリードイネーブル信号RE109に応答してリード動作が開始される。この場合には、ラッチ信号110の立ち下がりタイミングでデータAが正しくラッチされる。

【0019】

一方、図8を参照して上で説明したように、信号108(108')が所望のタイミングより位相差 t_3 だけ速く生成される場合がある。この場合、図9(e)に示されるように、リードイネーブル信号109'が、所望の早出しタイミン



グよりも位相差 t_3 だけ速く立ち上がると、その分だけリード動作が速く始まる。リード動作の時間は、メモリ部の構成により決まり、ほぼ一定である。また、データの読み出しタイミングは、外部クロック R_{clk} のパルス数と関連して予め決められている。メモリ部から読み出されたデータは、ラッチ信号 110 の立ち下がりでラッチされる。従って、所望のタイミングより速くリード動作が始まってしまうと、そのリード動作は早く終了し、本来ラッチされるべき読み出しデータ A がラッチされない。次の動作（この例ではデータ B のリード動作）がはじまり、ラッチ信号 110 の立ち下がりでデータ B がラッチされるという誤動作が発生する。このような誤動作は、クロック周波数が低くなるほど発生しやすい。

【 0 0 2 0 】

また、固定遅延量の遅延素子を使用する遅延回路では、遅延素子の製造プロセスに依存して特性のバラツキが生じる。図 1 0 は、製造プロセスによる特性バラツキに起因する誤動作を示す。

【 0 0 2 1 】

図 1 0 (d) に示されるリードイネーブル信号 $RE' 111$ は、製造プロセスで回路構成素子に個々に物理的なバラツキが生じて、所望の早出しタイミング 111 から前後にずれる場合がある。

【 0 0 2 2 】

例えば、信号 111 の立ち上がりタイミングが所望のタイミングより遅いタイミングにずれた場合、リード動作が遅くなり高速リード動作が達成できない場合もある。従って、スループット上の問題が生じる。また、信号 111 の立ち上がりタイミングが所望のタイミングより早いタイミングにずれた場合、図 1 0 (e) に示されるように、ライト動作が終了しないうちに、図 1 0 (d) のリードイネーブル信号 $RE' 111$ が立ち上がる。結果として、ライト動作とリード動作とが重なるという誤動作が発生する恐れがある。

【 0 0 2 3 】

図 1 1 は、動作の切替を示す。図 1 1 (b) は誤動作を示し、図 1 1 (c) は正常動作を示す。なお、図 1 1 (b) の点線は、正常動作のタイミングを示す。図 1 1 (c) に示されるように、正常動作では、ライト動作終了後リード動作が

開始される。一方、遅延素子のバラツキにより遅延時間がばらついたときには、リードイネーブル信号が早く出され、ライト動作が終了する前にリード動作が開始される場合がある。このように、多数の遅延素子を用いてタイミング信号を生成する場合には、遅延素子の遅延量のバラツキのため正常な動作が保証されない場合がある。

【 0 0 2 4 】

一方では、メモリの高速動作のために、クロック信号の半周期が 1.25 ns である場合がある。このときの所望の早出しタイミングは、クロック信号の立ち上がりタイミング 115 より 0.15 ns ほど早い立ち上がりタイミング 115 である。従って、高速メモリでは、このような非常に短い時間差を正確に有する信号を生成することが必要である。このような微少な時間差を持つ信号を素子の製造バラツキを考慮して生成しなければならない。

【 0 0 2 5 】

また、クロック信号の周波数はユーザーにより変更され、また、メーカー又はユーザーによるシステム・テストが、低い周波数のクロック信号を用いて行われることがある。早出しのクロック信号が、固定遅延量を持つ遅延回路により元のクロック信号を遅延させることにより生成される場合には、上述のようにデータが早く出てしまうという問題が発生する。

【 0 0 2 6 】

特開平 1 1 - 2 6 1 4 0 8 号公報（第 3 従来例）に記載された従来の D L L 回路が図 1 2 に示されている。この従来の D L L 回路では、可変遅延部 3 1 1 の中間出力が取り出される。このため、最終出力に対する早出し量が周波数依存を持つので、第 2 従来例と同じ誤動作を起こす場合がある。

【 0 0 2 7 】

例えば、1 サイクルの 4 分の 1 だけ最終出力よりも位相が進んだ信号が中間出力として生成されている。この場合、クロックの周波数が低いときには、所望のタイミングより早すぎるタイミングで中間出力が出力される。

【 0 0 2 8 】

更に、半導体装置では、所望の早出しタイミングを持つ信号を生成する回路を

小さい規模の回路で実現することが必要である。

【 0 0 2 9 】

【発明が解決しようとする課題】

従って、本発明の目的は、用いられる周波数に依存せず、出力信号に対して所定の進み位相を有するクロック信号（早出しクロック信号）を生成することができる D L L 回路を提供することである。

【 0 0 3 0 】

また、本発明の他の目的は、小さい回路規模で早出しクロック信号を生成することができる D L L 回路を提供することである。

また、本発明の他の目的は、容易に多数の早出しクロック信号を生成することができる D L L 回路を提供することである。

【 0 0 3 1 】

本発明の他の目的は、上記の D L L 回路を内蔵する、同期式 D R A M のような半導体装置を提供することである。

【 0 0 3 2 】

【課題を解決するための手段】

以下に、本発明の目的を達成するための手段を説明する。そのなかで、括弧（ ）つきで示される技術的事項は、実施の形態の説明における参照番号を示す。しかしながら、本発明の技術的範囲の解釈に用いてはならず、本発明の技術的範囲は特許請求の範囲の記載に基づいて解釈されるべきである。

【 0 0 3 3 】

上記目的を達成するために、本発明の D L L 回路は、第 1 と第 2 のノード（1 2 - 1, 1 2 - 2）間に設けられ、遅延制御信号に基づいて前記第 1 のノードに供給される基準クロック信号を遅延させて第 1 から第 n（n は 2 以上の整数）の内部クロック信号を生成する遅延回路（5）を具備する。前記第 1 の内部クロック信号は前記第 2 のノードから出力され、前記第 1 の内部クロック信号以外の前記内部クロック信号は前記第 2 のノードを介することなく前記遅延回路から出力され、第（m + 1）（m は、1 以上の整数で $m \leq (n - 1)$ ）の内部クロック信号は第 m の内部クロック信号より予め決められた位相差だけ進んでいる。また、

D L L回路は、前記第 1 のノードから前記基準クロック信号を入力し、前記第 2 のノードから前記第 1 の内部クロック信号を入力し、前記入力される基準クロック信号と前記入力される第 1 の内部クロック信号との位相差を出力する位相比較回路（6）と、前記位相比較回路からの前記位相差に基づいて前記遅延制御信号を前記遅延回路に出力するための遅延制御回路（7）とを具備する。

【 0 0 3 4 】

前記遅延回路は、前記遅延制御信号に基づいて前記基準クロック信号を遅延させて第 1 遅延信号を生成するための第 1 の遅延部（16）と、前記第 1 の遅延部と前記第 2 のノードの間に設けられ、前記第 1 遅延信号に予め決められた遅延を施して前記第 1 から第 n の内部クロック信号を生成し、前記第 1 の内部クロック信号を前記第 2 のノードから出力する第 2 の遅延部（9）とを具備しても良い。

【 0 0 3 5 】

また、前記第 2 の遅延回路（9）は、直列接続された複数の遅延素子（9-1, 9-2, . . . , 9-n）からなり、前記第 1 から第 n の内部クロック信号は、前記最後の遅延素子から順番に互いに異なるものから出力されてもよい。

【 0 0 3 6 】

また、前記複数の遅延素子（9-1, 9-2, . . . , 9-n）は実質的に同一の遅延量を持っても良いし、あるいは互いに異なる遅延量を持ってもよい。また、前記複数の遅延素子（9-1, 9-2, . . . , 9-n）の各々の遅延量は予め決められていることが望ましく、前記複数の遅延素子の各々の遅延量は前記基準クロック信号の周波数から独立していることが望ましい。前記複数の遅延素子（9-1, 9-2, . . . , 9-n）の各々はインバータであってもよいし、バッファであってもよい。前記複数の遅延素子（9-1, 9-2, . . . , 9-n）の素子数は n である。

【 0 0 3 7 】

また、本発明の他の観点を達成するために、同期式 D R A M のような半導体装置は、請求項 1 乃至 9 のいずれかに記載の D L L 回路（1）と、前記 D L L 回路は前記第 1 の内部クロック信号と前記第 2 の内部クロック信号とを出力し、前記第 1 の内部クロック信号に応答してラッチ信号を生成する第 1 のフリップフロツ



ブ(3-2)と、前記第2の内部クロック信号に応答してリードイネーブル信号を生成する第2のフリップフロップ(3-3)と、メモリセルアレイ(2)を含み、前記ラッチ信号に応答して前記メモリセルアレイからのデータあるいは外部からのデータをラッチし、前記ラッチ動作に先だって前記リードイネーブル信号に応答してリード動作あるいはライト動作を準備するメモリ部とを具備する。

【0038】

本発明の更に他の観点を達成するために、タイミング信号生成方法は、遅延制御信号に基づいて決定される遅延量だけ第1のノードに供給される基準クロック信号を遅延させながら第1から第 n (n は、2以上の整数)の内部クロック信号を生成するステップ(a)と、前記第1の内部クロック信号は第2のノードから出力され、前記第1の内部クロック信号以外の前記内部クロック信号は前記第2のノードを介することなく出力され、第 $(m+1)$ (m は、1以上の整数で $m \leq (n-1)$)の内部クロック信号は第 m の内部クロック信号より予め決められた位相差だけ進んでおり、前記第1のノードからの前記基準クロック信号と前記第2のノードからの前記第1の内部クロック信号との位相差を検出するステップ(b)と、前記位相差に基づいて前記遅延制御信号を出力するステップ(c)とを具備する。

【0039】

ここで、前記ステップ(a)は、前記遅延制御信号に基づいて前記基準クロック信号を遅延させて第1遅延信号を生成するステップ(d)と、前記第1遅延信号を遅延させて前記第1から第 n の内部クロック信号を生成するステップ(e)とからなり、前記第1の内部クロック信号は前記第2のノードから出力される。

【0040】

また、前記ステップ(e)は、前記第1遅延信号を直列接続された複数の遅延素子により遅延させるステップ(f)とからなり、前記第1から第 n の内部クロック信号は、前記最後の遅延素子から順番に互いに異なるものから出力される。

【0041】

また、前記複数の遅延素子は実質的に同一の遅延量を持ってもよいし、互いに異なる遅延量を持ってもよい。前記複数の遅延素子の各々の遅延量は予め決めら

れていることが望ましい。また、前記複数の遅延素子の各々の遅延量は前記基準クロック信号の周波数から独立していることが望ましい。また、前記複数の遅延素子の素子数は n である。

【 0 0 4 2 】

また、前記第 1 の内部クロック信号に応答してラッチ信号を生成するステップと、前記第 2 の内部クロック信号に応答してリードイネーブル信号を生成するステップと、前記ラッチ信号に応答して前記メモリセルアレイからのデータあるいは外部からのデータをラッチし、前記ラッチ動作に先だって前記リードイネーブル信号に応答してリード動作あるいはライト動作を準備するステップとを更に具備してもよい。

【 0 0 4 3 】

【発明の実施の形態】

以下に添付図面を参照して、本発明の D L L 回路を有する同期式 D R A M のような半導体装置について説明する。

【 0 0 4 4 】

図 1 は、本発明の実施形態による半導体装置の構成を示すブロック図である。図 1 を参照して、半導体装置は、D L L 回路 1、メモリ部 2、及び論理回路 3 からなる。D L L 回路 1 は、可変遅延回路 5、位相比較回路 6、及び制御信号発生回路 7 からなる。可変遅延回路 5 は、ノード 1 2 - 1 とノード 1 2 - 2 の間に設けられ、可変遅延部 1 6 と固定遅延部 9 からなる。

【 0 0 4 5 】

固定遅延部 9 は、直列に接続され、固定遅延量を有する k (k は 2 以上の整数) 個の遅延素子 9 - 1, 9 - 2, \dots , 9 - k からなる。各遅延素子は、バッファであってもよいし、インバータであってもよい。図 1 では、遅延素子はインバータとして示されている。また、固定遅延部 9 の各遅延素子の出力から内部クロック信号が出力されてもよいし、あるいは任意の遅延素子から内部クロックが出力されてもよい。この例では、3 つの遅延素子が用いられ、2 つの内部クロック信号が出力されている。1 つは、内部クロック S 1 信号 1 1 - 1 であり、固定遅延部 9 の出力でもある。また、内部クロック S 2 信号 1 1 - 2 は、固定遅延部

9の後ろから3つ目の遅延素子の出力である。即ち、内部クロックS2信号11-2は、内部クロックS1信号11-1より遅延素子9-1と9-2の遅延時間分位相が進んでいる。

【0046】

外部から供給される外部クロック信号4は可変遅延回路5と位相比較回路6に供給される。外部クロック信号4は、遅延制御信号に基づいて遅延回路5の可変遅延部16により遅延され、更に固定遅延部9により遅延される。可変遅延回路5は、遅延量がクロック信号の周波数に依存する遅延量を持つ。また、固定遅延部9は、その遅延量がクロック信号の周波数に依存しない（または独立した）遅延量を持つ。

【0047】

可変遅延回路5の出力、即ち内部クロック1信号11-1は、位相比較回路6に供給される。位相比較回路6は、外部クロック信号4と内部クロック1信号11-1の位相を比較し、位相差を制御信号発生回路7に出力する。制御信号発生回路7は、位相差に基づいて遅延制御信号23を発生し、可変遅延回路5の可変遅延部16に出力する。こうして、可変遅延部16は、外部クロック信号4を遅延制御信号23に基づいて遅延させる。結果として、内部クロック1信号11-1の位相は、外部クロック信号4の位相と一致することになる。

【0048】

論理回路3は、内部クロック1信号11-1と内部クロック2信号11-2とからアクセス制御信号13を生成し、メモリ部2に出力する。こうして、メモリ部2からデータが読み出される。

【0049】

図2は、論理回路3とメモリ部2の詳細を示すブロック図である。図2を参照して、本発明の同期式DRAMの構成を説明する。同期式DRAMは、上述のように、DLL回路1、論理回路3、メモリ部2からなる。論理回路3は、論理回路3-1とフリップフロップ3-2と3-3からなる。メモリ部2は、カラム制御回路2-5、メモリアレイ2-1、Yデコーダ2-2、I/O回路2-3、ラッチ回路2-4、ロー制御回路2-7、Xデコーダ2-6からなる。メモリ部2

の構成は従来知られているので、詳細な説明は省略する。

【0050】

DLL回路1からは内部クロック1信号11-1と内部クロック2信号11-2が出力される。内部クロック1信号11-1はフリップフロップ3-2の反転クロック端子に供給される。内部クロック2信号11-2はフリップフロップ3-3のクロック端子に供給される。論理回路3-1は、入力される制御信号にตอบสนองして制御信号1と制御信号2を生成する。制御信号1は、フリップフロップ3-2に供給される。制御信号2は、フリップフロップ3-3に供給されている。フリップフロップ3-3は、制御信号C2と内部クロックS2信号にตอบสนองしてリードイネーブル信号REをメモリ部2のカラム制御回路に出力する。また、フリップフロップ3-2は、制御信号C1と内部クロックS1信号にตอบสนองしてラッチ信号をメモリ部2のラッチ回路に出力する。

【0051】

次に図3を参照して、図2に示される同期式DRAMの動作を説明する。図3(a)と(b)は、それぞれ内部クロックS1信号11-1と内部クロックS2信号11-2の波形を示す。この例では、内部クロックS2信号11-2の位相は、固定遅延部9の2個のインバータ(遅延素子)により内部クロックS1信号11-1より位相が僅かに進んでいる。

【0052】

制御信号として図3(c)のリードコマンドが論理回路3-1に供給されたとき、論理回路3-1は、図3(g)の制御信号C1と図3(d)の制御信号C2を生成し、それぞれフリップフロップ3-2と3-3に出力する。フリップフロップ3-3は、内部クロックS2信号に同期して、図3(d)に示される制御信号C2に基づいて図3(e)のリードイネーブル信号REを生成する。こうしてリードイネーブル信号REは、内部クロックS1信号11-1により規定されるリード動作に先だってメモリ部2に出力される。この結果、メモリ部2から図3(f)に示されるようにデータが高速に読み出されることができる。

【0053】

フリップフロップ3-2は、図3(b)の内部クロックS1信号11-1の立

ち下がリエッジに同期して、図 3 (g) の制御信号 C 1 に基づいて図 3 (h) のラッチ信号を生成する。メモリ部 2 から読み出されたデータ A は、ラッチ信号の立ち下がりのタイミングでラッチされ、外部に出力される。

【 0 0 5 4 】

上記のように、固定遅延部 9 の遅延量は、外部クロック信号の周波数に依存せず、これを構成する遅延素子により固有に定められる。即ち、固定遅延部 9 の遅延量は、外部クロック信号 4 の周波数から独立である。

【 0 0 5 5 】

また、固定遅延回路 9 から出力される内部クロック S 1 信号 1 1 - 1 は、可変遅延回路 5 の出力信号であり、また、メモリ部 2 の動作の基準となる信号である。内部クロック S 2 信号 1 1 - 2 は、その基準信号としての内部クロック S 1 信号 1 1 - 1 より予め決められた遅延量だけ少ない遅延量で遅延された信号である、即ち、内部クロック S 2 信号 1 1 - 2 は、内部クロック S 1 信号 1 1 - 1 より位相が進んでいる。このような位相関係を可能とするように、固定遅延部 9 は、ある大きさの遅延量を確保するために多段構成が採られている。

【 0 0 5 6 】

図 1 に示すように、固定遅延部 9 が 3 段のインバータからなるとする。各段の遅延素子（インバータ）の遅延量が ΔL であれば、直列 n 段のインバータの全遅延量は、概ね $n * \Delta L$ である。1 段のインバータの遅延量 L が $0.15 ns / 2$ であれば、内部クロック S 2 信号として初段のインバータ 9 - 3 から出力される内部クロック S 2 信号 1 1 - 2 は、内部クロック S 1 信号 1 1 - 1 よりも $0.15 ns$ ほど位相が早い。この早出しタイミング信号を用いてリードイネーブル信号 RE が生成されれば、同期式 DRAM は、安定して高速の動作を実行することができる。

【 0 0 5 7 】

なお、上記の例では、全てのインバータ（遅延素子）の遅延量は等しいとしたが、全てのインバータ（遅延素子）9 - 1 ~ 9 - 3 の遅延量は、互いに異なってもよい。また、各遅延素子は、インバータではなく、バッファであってもよい。

【 0 0 5 8 】

図 7 (a) , (b) は、内部クロック S 1 信号 1 1 - 1 と内部クロック S 2 信号 1 1 - 2 を示す。内部クロック S 2 信号 1 1 - 2 は、内部クロック S 1 信号 1 1 - 1 よりも 0 . 1 5 n s ほど位相が早くなっている。また、内部クロック S 1 信号 1 1 - 1 の周期は、2 . 5 n s である。内部クロック S 2 信号 1 1 - 2 に基づいて生成される図 7 (d) のリードイネーブル信号 R E は、内部クロック S 1 信号 1 1 - 1 に基づいて生成される場合の図 7 (c) のリードイネーブル信号より時間 t_1 だけ位相が早い。ここで、 t_1 は、概ね 0 . 1 5 n s である。この t_1 は、インバータ 9 - 1 , 9 - 2 に固有である値であり、内部クロック S 1 信号 1 1 - 1 と内部クロック S 2 信号 1 1 - 2 の周波数には依存しない。従って、外部クロック信号 4 の周波数にも依存しない。図 8 に示されるように内部クロック S 1 信号 1 1 - 1 と内部クロック S 2 信号 1 1 - 2 の周波数が低くなっても、早出し時間は t_1 であって、不変である。

【 0 0 5 9 】

固定遅延部 9 の各段の遅延素子 9 - 1 , . . . , 9 - n の各遅延のバラツキが考慮され、内部クロック S 2 信号 1 1 - 2 の遅延量が許容範囲内になるように、第 j 番目のインバータ 9 - j が採択され得る。一旦それが採択された後は、 t_1 は不変であるから、図 8 に示されるような、従来回路における誤動作はもはや生じない。こうして、内部クロック S 2 信号 1 1 - 2 は、動作周波数が変化しても、固定遅延部 9 の 1 番目から j 番目までの遅延素子の遅延時間分 ($= t_1$) だけ早出しされている。

【 0 0 6 0 】

図 7 に示されるように、リードイネーブル信号 R E を生成するために使用される内部クロック S 2 信号 1 1 - 2 のエッジ 3 5 (図 7 (b)) は、従来の同等信号 1 0 4 を生成するために使用される内部クロック S 1 信号 1 1 - 1 (図 7 (a)) のエッジ 3 6 よりも時間的に先である。このため、本発明による固定遅延部 9 の遅延素子の数は、従来の遅延回路 1 0 5 より少なくてすむ。結果として、その少ない分だけその遅延素子が持つ製造プロセス等の要因によるバラツキの影響を受けにくい。また、本発明の D L L 回路を内蔵する半導体装置は小型に形成さ

ることができる。なお、D L L 回路 1 の周波数に依存しない途中取り出しの内部クロック S 2 信号 1 1 - 2 は、D L L 回路 1 の最終出力としての内部クロック S 1 信号 1 1 - 1 よりその負荷が軽くてすむ。

【 0 0 6 1 】

【発明の効果】

本発明による D L L 回路、及びそれを使用する半導体装置は、動作用信号の早出しが周波数に依存せず行われ、その早出し信号のタイミングが厳密に調整される。製造プロセスに影響されず、その早出し信号のための位相差が僅かであって、且つ、厳密である。本発明による D L L 回路は、同期式 D R A M などの厳しいタイミング精度が要求される半導体装置の動作の高速化を助け、ライト動作とリード動作との連続動作を可能とする。

【 0 0 6 2 】

また、本発明では、早出しタイミングを有する信号を生成する遅延回路のために、段数の多い遅延回路は不要である。従って、本発明の D L L 回路を内蔵する半導体装置では、回路規模の増大が押さえられることができる。

【図面の簡単な説明】

【図 1】

図 1 は、本発明の実施形態による D L L 回路を有する半導体装置の構成を示すブロック図である。

【図 2】

図 2 は、図 1 の論理回路とメモリ部の詳細を示すブロック図である。

【図 3】

図 3 は、図 1 の半導体装置の動作を説明するためのタイミングチャートである。

【図 4】

図 4 は、従来の D L L 回路を有する半導体装置の構成を示すブロック図である。

【図 5】

図 5 は、図 4 の半導体装置の動作を説明するためのタイミングチャートである。

。

【図 6】

図 6 は、他の従来の D L L 回路を有する半導体装置の構成を示すブロック図である。

【図 7】

図 7 は、クロック信号周波数が高いときに、図 6 の半導体装置の動作を説明するためのタイミングチャートである。

【図 8】

図 8 は、クロック信号周波数が低いときに、図 6 の半導体装置の動作を説明するためのタイミングチャートである。

【図 9】

図 9 は、クロック信号周波数が低いときに、図 6 の半導体装置の動作を説明するためのタイミングチャートである。

【図 1 0】

図 1 0 は、遅延素子の特性のバラツキによるタイミングの変化を示すタイミングチャートである。

【図 1 1】

図 1 1 は、遅延素子の特性のバラツキによるタイミングの変化を示すタイミングチャートである。

【図 1 2】

図 1 2 は、更に他の従来の D L L 回路を有する半導体装置の構成を示すブロック図である。

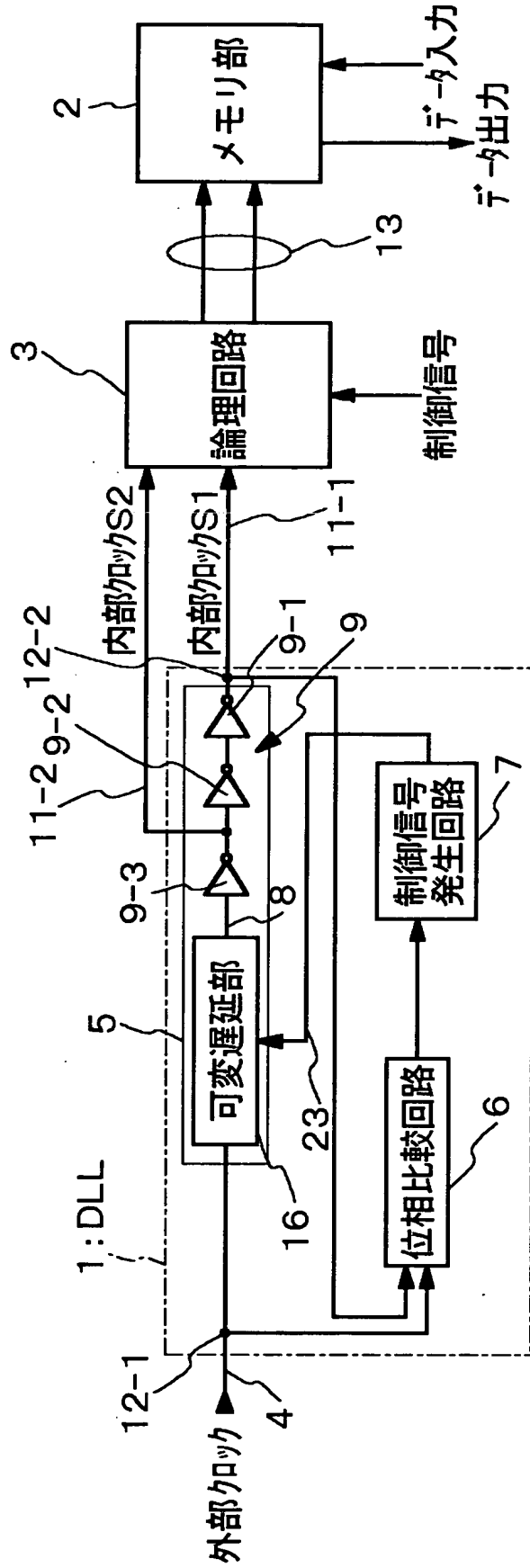
【符号の説明】

- 1 : D L L 回路
- 2 : メモリ部
- 2 - 1 : メモリアレイ
- 2 - 2 : カラムデコーダ (Y D E C)
- 2 - 3 : I / O 回路
- 2 - 4 : ラッチ回路

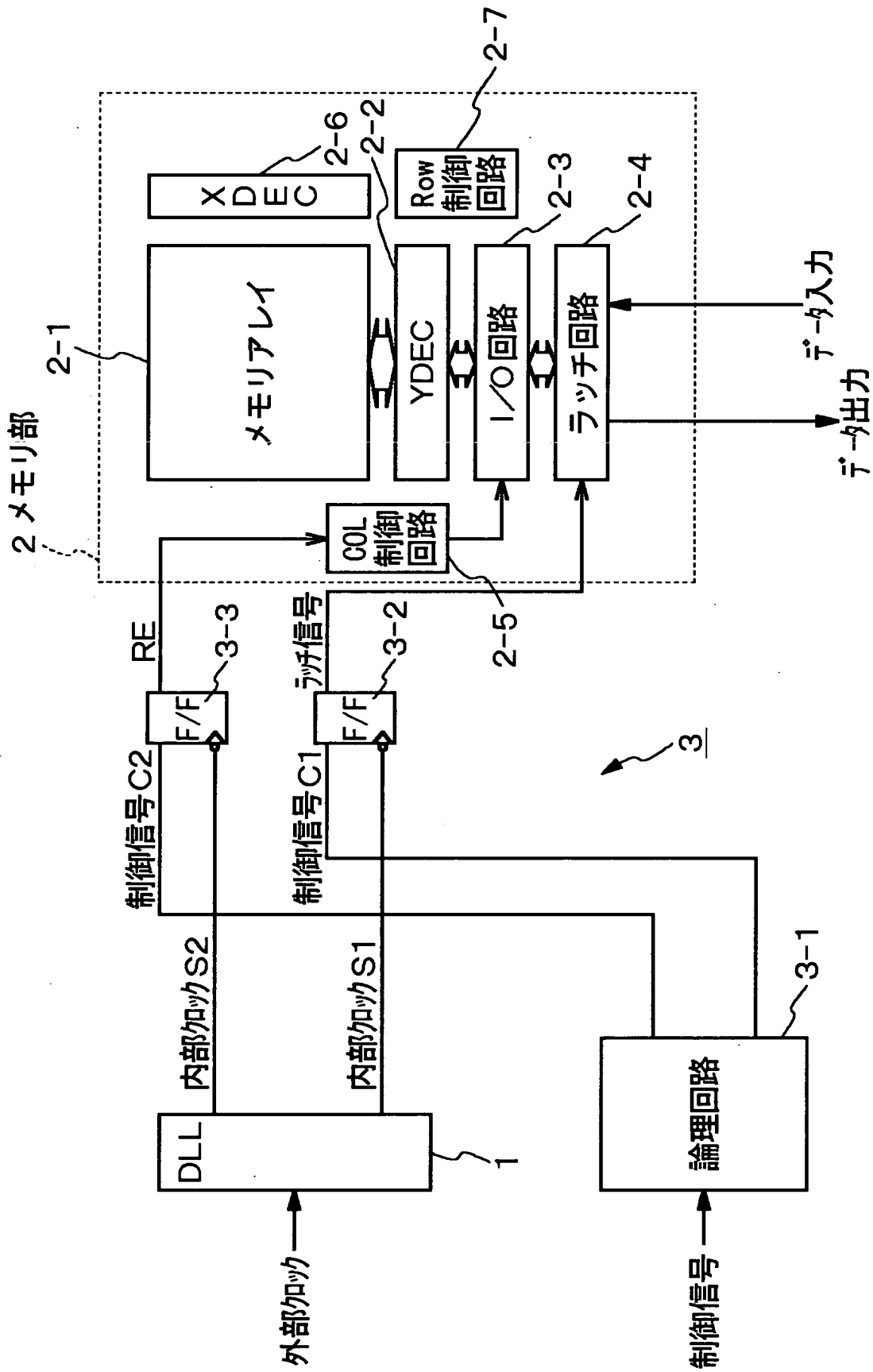
- 2-5 : カラム (COL) 制御回路
- 2-6 : ローデコーダ (XDEC)
- 2-7 : ロー (Row) 制御回路
- 3 : 論理回路
 - 3-1 : 論理回路
 - 3-2、3-3 : フリップフロップ
- 4 : 入力側信号
- 5 : 可変遅延回路
- 6 : 位相比較回路
- 7 : 制御信号発生回路
- 9 : 固定遅延部
 - 9-1 ~ 9-3 : 遅延素子
- 11-1 : 内部クロック 1 信号
- 11-2 : 内部クロック 2 信号
- 15 … 動作信号
- 16 : 可変遅延部
- 101 : DLL 回路
- 102 : ラッチ回路
- 105 : 遅延回路
- 201 : DLL 回路
- 202 : メモリ部
- 203 : 論理回路
 - 203-1 : 論理回路
 - 203-2、203-3 : フリップフロップ

【書類名】 図面

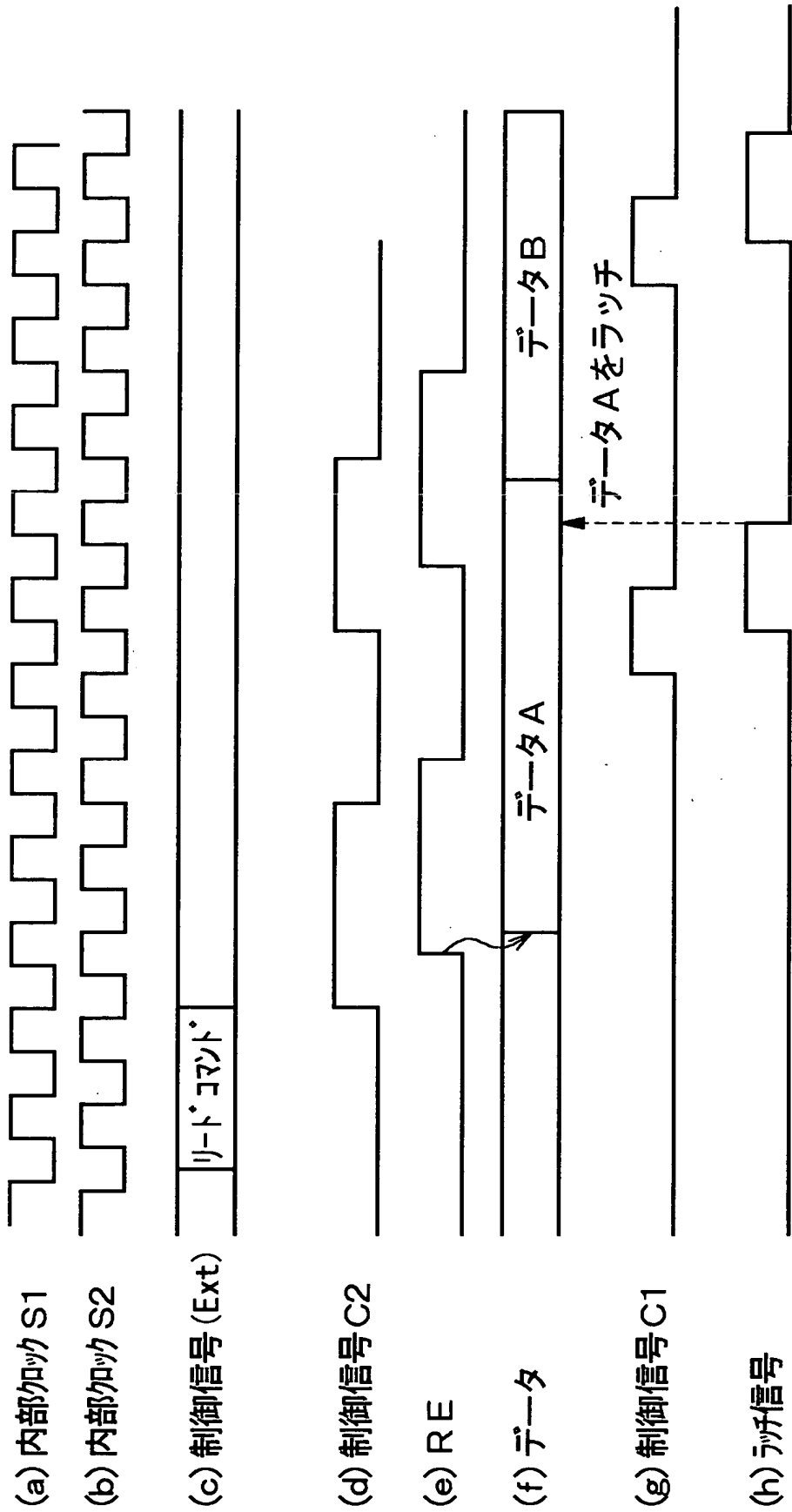
【図 1】



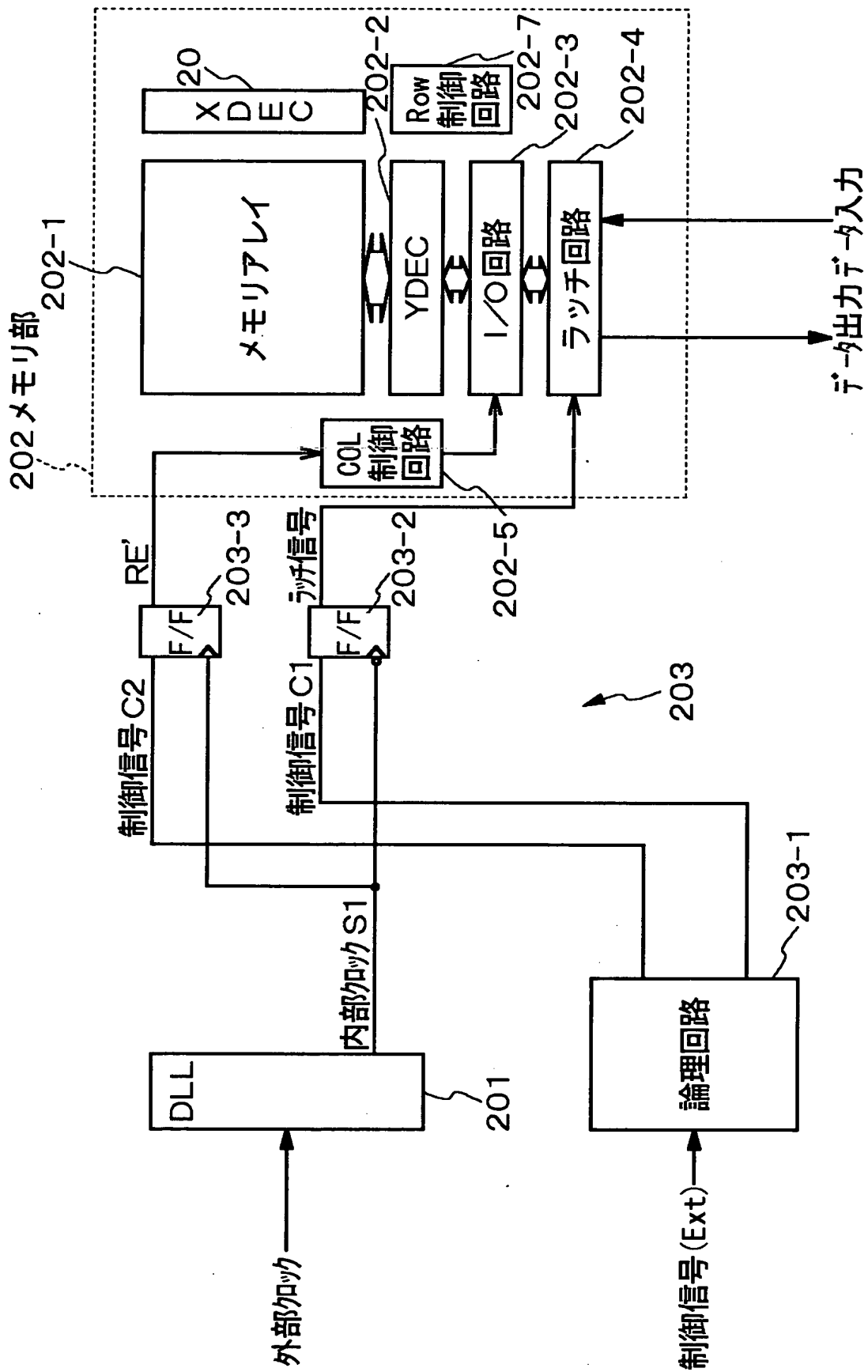
【図 2】



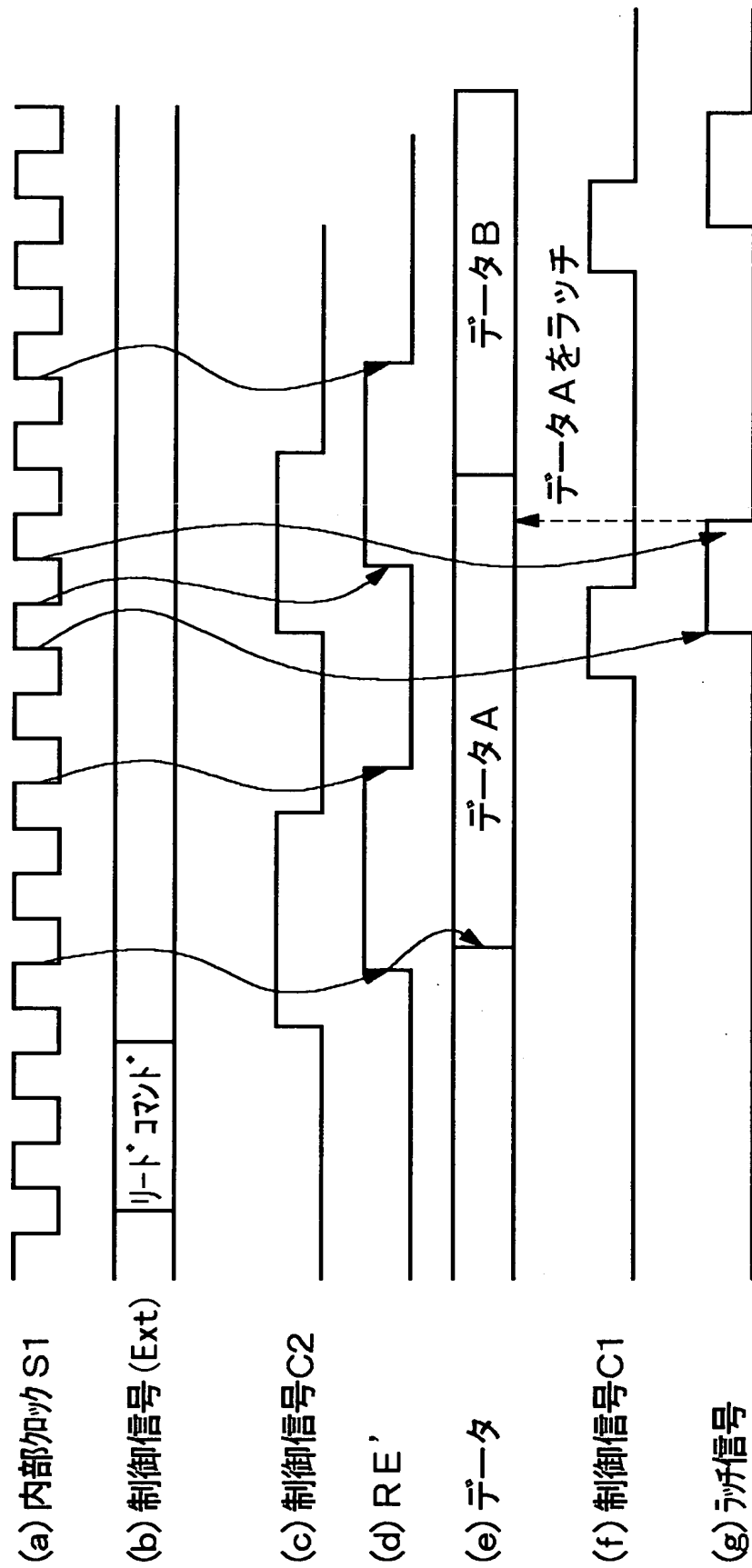
【図 3】



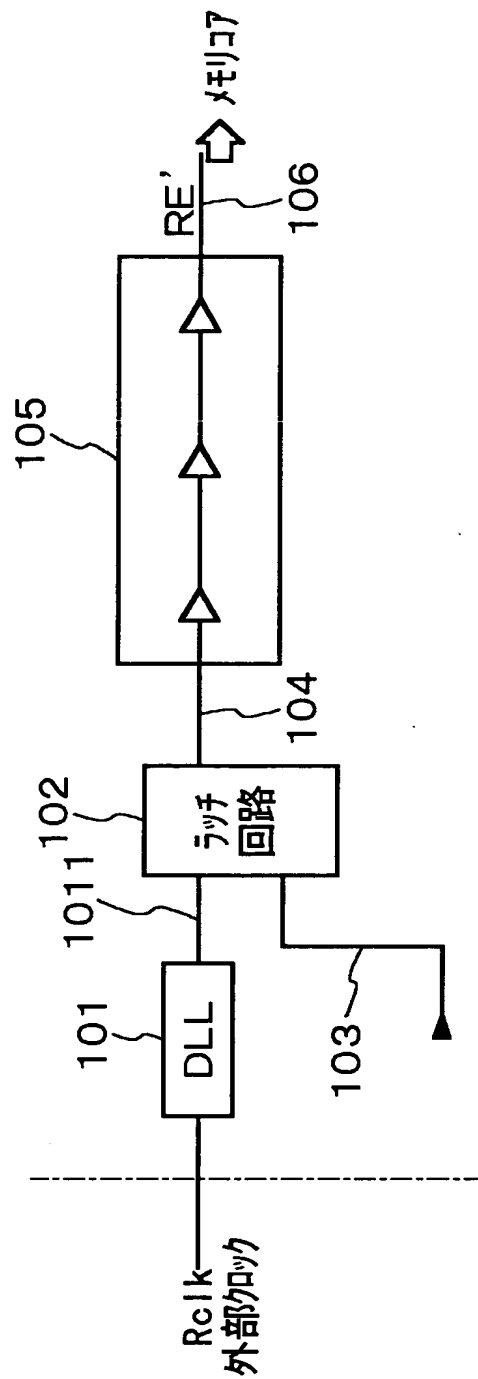
【図4】



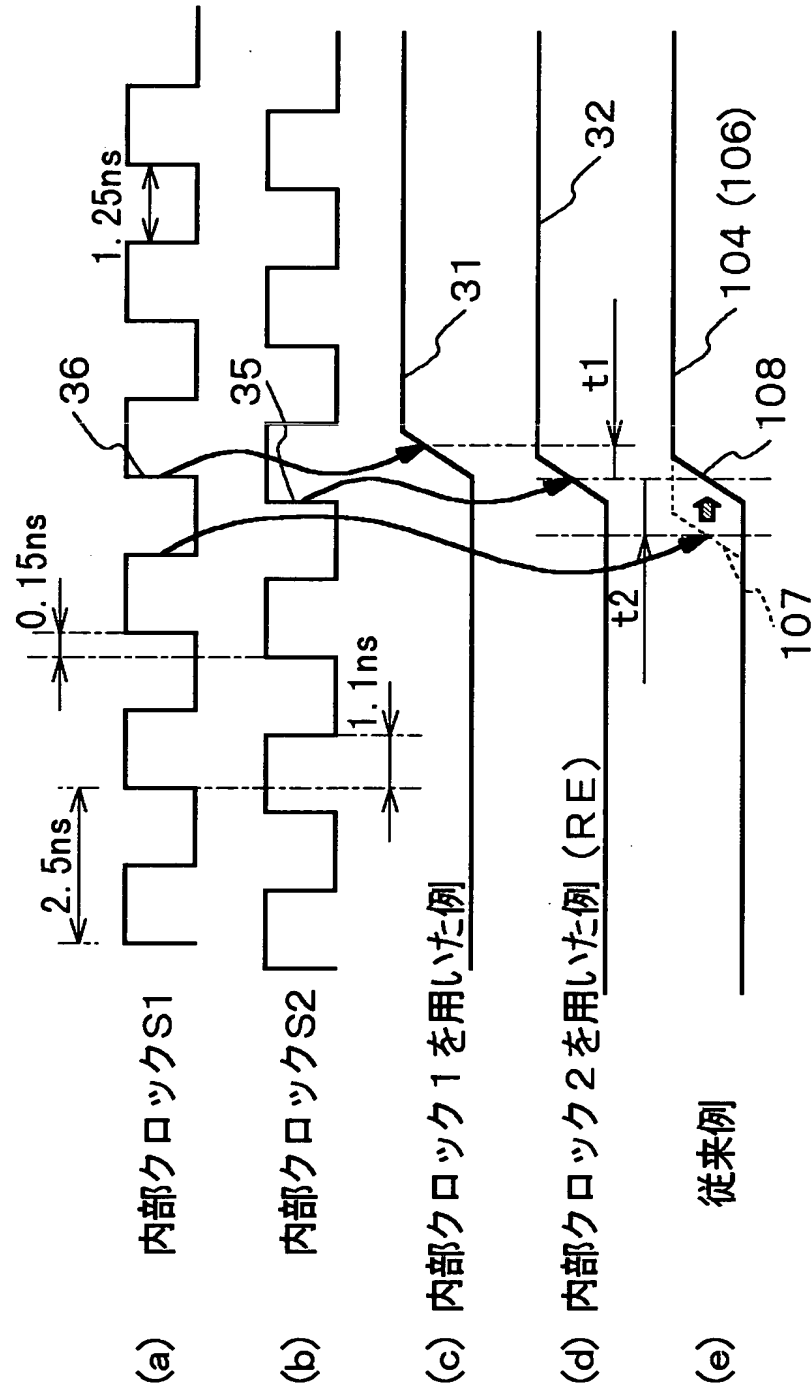
【図 5】



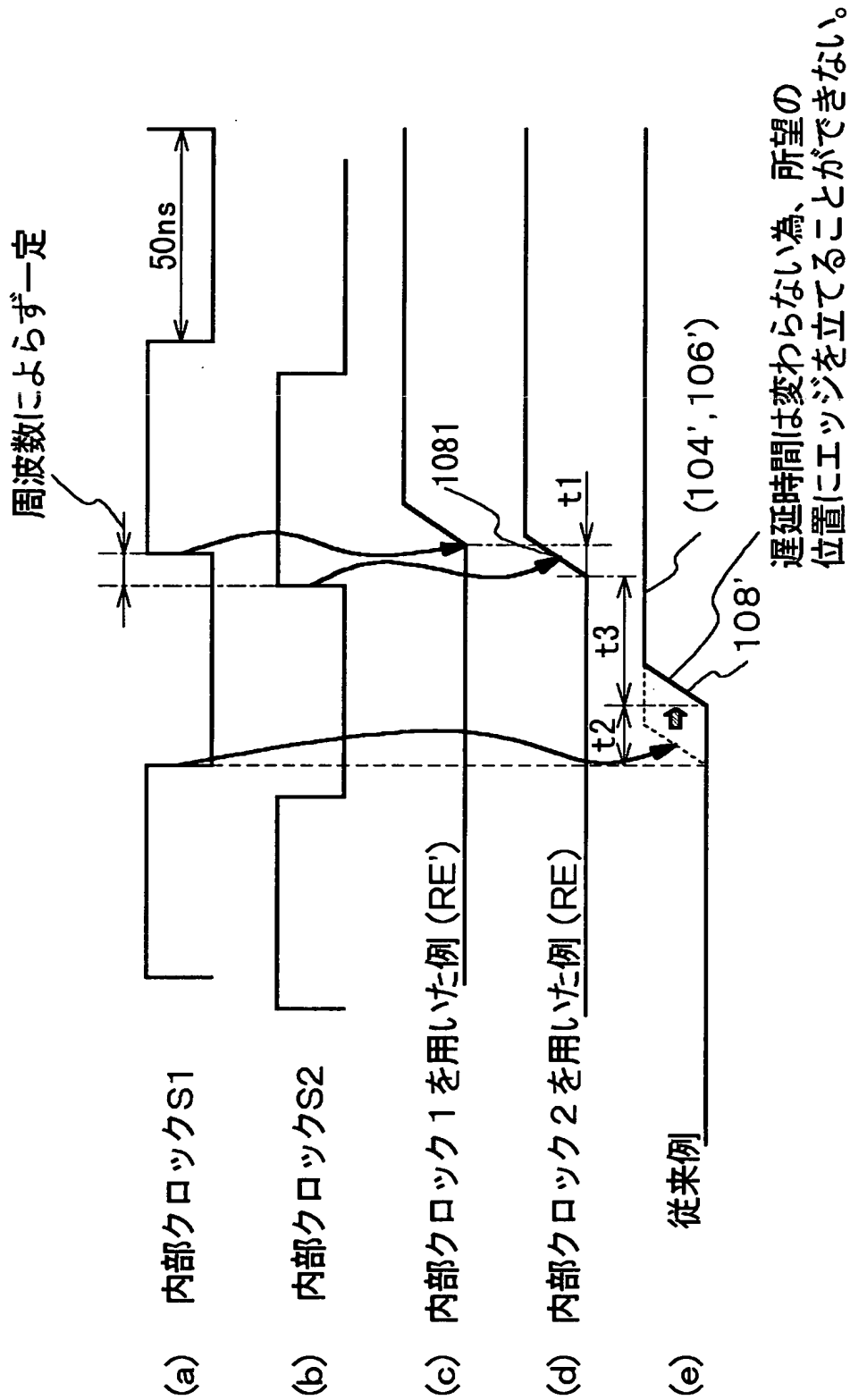
【図 6】



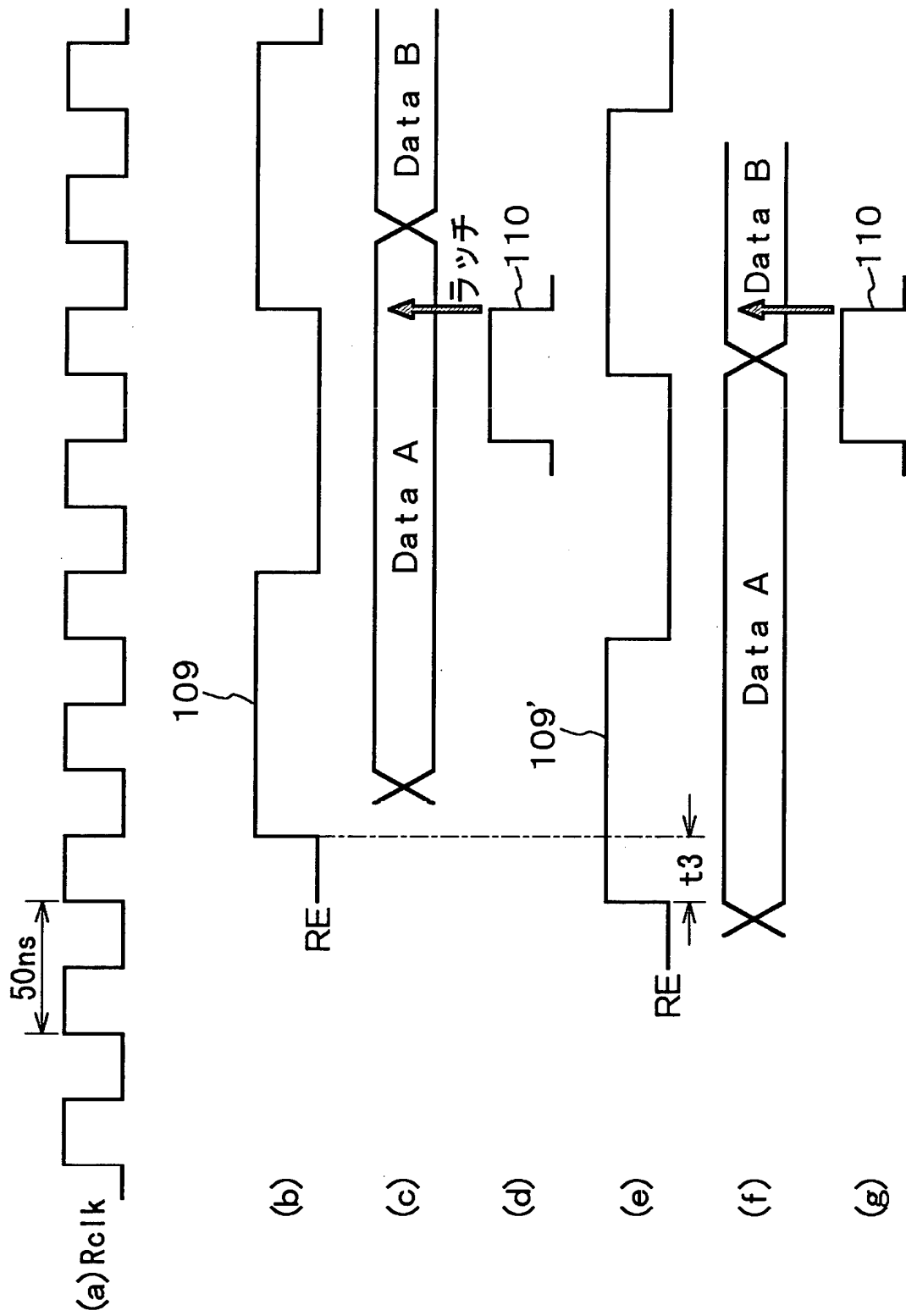
【図 7】



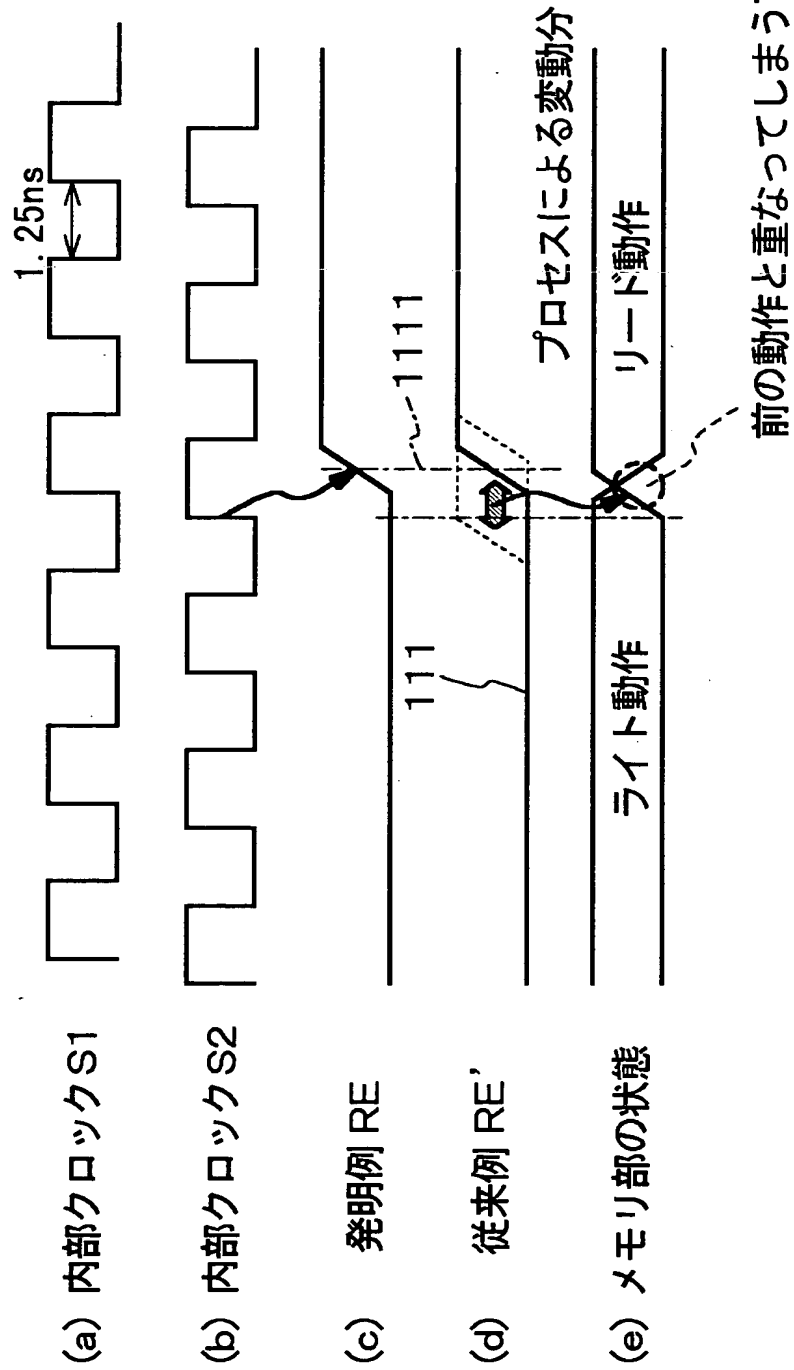
【図 8】



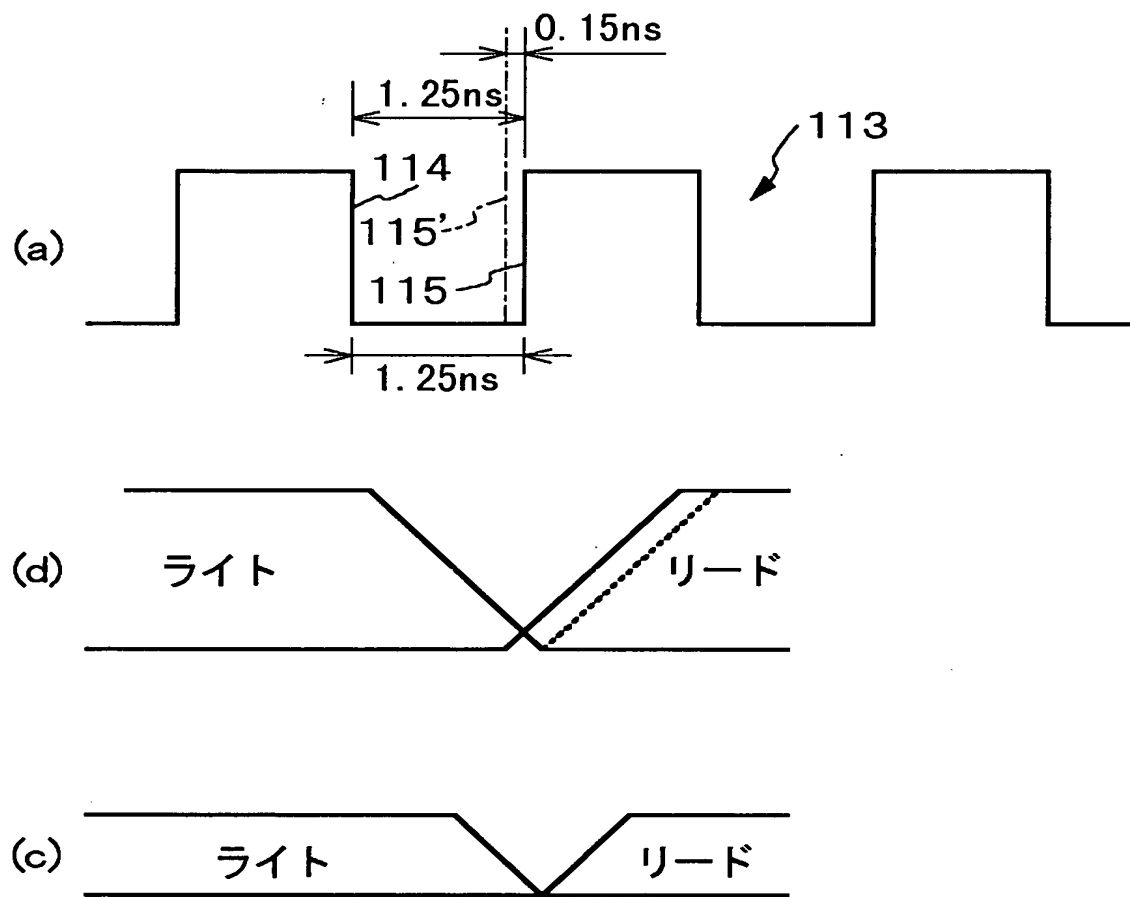
【図 9】



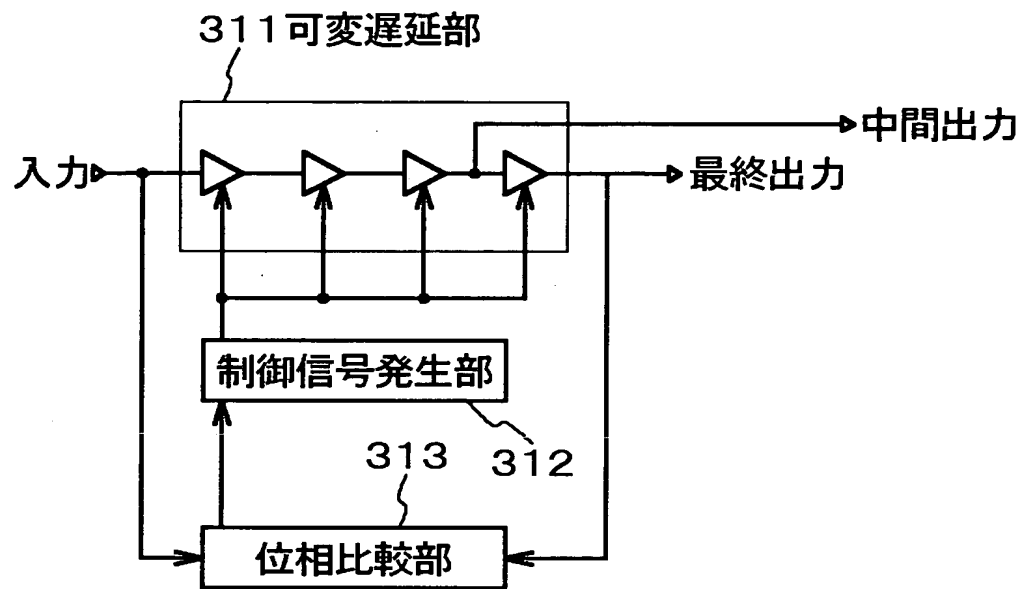
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 クロック周波数に依存せず、僅かに、且つ、厳密に位相進みを可能にして信号を早出しする。

【解決手段】 D L L回路は、第 1 と第 2 のノード間に設けられ、遅延制御信号に基づいて前記第 1 のノードに供給される基準クロック信号を遅延させて第 1 から第 n (n は 2 以上の整数) の内部クロック信号を生成する遅延回路を具備する。前記第 1 の内部クロック信号は前記第 2 のノードから出力され、第 2 から第 n の内部クロック信号は前記第 2 のノードを介することなく前記遅延回路から出力され、第 $(m+1)$ (m は、1 以上の整数で $m \leq (n-1)$) の内部クロック信号は第 m の内部クロック信号より予め決められた位相差だけ進んでいる。また、D L L回路は、前記第 1 のノードから前記基準クロック信号を入力し、前記第 2 のノードから前記第 1 の内部クロック信号を入力し、前記入力される基準クロック信号と前記入力される第 1 の内部クロック信号との位相差を出力する位相比較回路と、前記位相比較回路からの前記位相差に基づいて前記遅延制御信号を前記遅延回路に出力するための遅延制御回路とを具備する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 1 0 3 2 4 1
受付番号	5 0 0 0 0 4 2 9 5 8 7
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 2 年 4 月 6 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目 7 番 1 号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人

【識別番号】	100102864
【住所又は居所】	東京都品川区南大井 6 丁目 2 4 番 1 0 号 カドヤ 第 1 0 ビル 6 階 工藤国際特許事務所
【氏名又は名称】	工藤 実

【選任した代理人】

【識別番号】	100099553
【住所又は居所】	東京都品川区南大井 6 丁目 2 4 番 1 0 号 カドヤ 第 1 0 ビル 6 階 工藤国際特許事務所
【氏名又は名称】	大村 雅生

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社